**Лабораторная работа 1. Разработка комбинационных схем логических устройств**

**Цель работы**

1. Освоить методику разработки логических комбинационных схем с применением метода минимизации СДНФ
2. Научиться моделировать устройства с применением симулятора Logisim

Цифровая схема – это модуль с дискретными значениями входов и выходов и спецификацией, описывающей его функциональные и временные характеристики.

Функциональное описание комбинационной схемы может быть задано таблицей истинности или логическим выражением. Логическое выражение для любой таблицы истинности может быть получено в виде совершенной дизъюнктивной нормальной формы или совершенной конъюнктивной нормальной формы. В первом случае функция записывается как дизъюнкция конъюнкций, то есть булева сумма (логическое «ИЛИ») одной или более импликант. Импликанта есть произведение (логическое «И») литералов. Литералы же – это прямая или комплементарная форма входных переменных.

Логические выражения могут быть упрощены, используя правила булевой алгебры. В частности, их можно упростить, объединяя импликанты, которые отличаются только прямой и комплементарной формами одного из литералов: PA + P = P. Карты Карно – визуальный инструмент для минимизации функций двух–четырех переменных. На практике разработчики обычно могут упростить функции нескольких переменных «в уме», исходя только из своего опыта. Логические элементы соединяют для того, чтобы создать комбинационную схему, которая выполняет желаемую функцию. Любая функция в дизъюнктивной нормальной форме может быть построена, используя двухуровневую логику: элемент НЕ образует комплементарную форму входов, элемент И формирует произведения и элемент ИЛИ формирует сумму. В зависимости от функции и доступности базовых элементов, многоуровневая логическая реализация с элементами разных типов может оказаться более эффективной.

Логические элементы комбинируются, чтобы создать более сложные схемы, такие как мультиплексоры, дешифраторы и схемы приоритета. Мультиплексор выбирает один из входов данных, основываясь на входе управления. Дешифратор устанавливает один из выходов в ВЫСОКОЕ значение в соответствии со входами. Приоритетная схема выдает 1 на выход, указывающий на вход с самым высоким приоритетом. Все эти схемы – примеры комбинационных «строительных блоков»., из которых собираются более сложные схемы.

Качество разработанной схемы определяется ее ценой и временными задержками распространения и отклика. Цена определяется количеством вентилей, используемых в схеме. Задержка распространения используется более часто, она указывает на наибольшее время между изменением входа и соответствующим изменением выходов, задержка отклика – наименьшее время. Вычисление задержки распространения заключается в определении критического пути в схеме и затем в сложении вместе задержек распространения всех элементов на этом пути. Существует множество различных способов реализации сложной комбинационной схемы; эти способы предполагают компромисс между ее скоростью работы и ценой.

**Задание**

1. Построить таблицу истинности данного логического устройства
2. Получить минимальную ДНФ (КНФ)
3. Реализовать логическую схему, используя базисные блоки: И, ИЛИ, НЕ, XOR, ИЛИ-НЕ, И-НЕ
4. Оценить сложность схемы а) по цене (числу вентилей), б) по задержке распространения (числу вентилей на наиболее длинном пути)
5. Ознакомиться с программой Logisim – симулятором логических схем
6. Собрать схему и убедиться в ее работоспособности в Logisim
7. Сохранить разработанную схему в виде устройства (подсхемы)
8. Оформить отчет по лабораторной работе

Отчет сдается в электронном виде в формате Word и должен содержать:

1. Титульный лист
2. Задание
3. Описание этапов разработки
4. Реализация схемы (скрин экрана) в программе Logisim, контрольные примеры работы
5. Оценки сложности схемы
6. Выводы по работе

**Варианты заданий** Вариант выбирается по формуле K=(N-1) mod S +1, где N-ваш номер в списке группы, S- число вариантов, K-номер варианта

1. **Дешифратор семисегментного индикатора.**

Дешифратор семисегментного индикатора получает на вход четырехбитные данные D[3:0] и формирует семь выходов для управления светодиодами для показа цифр от 0 до 9. Семь выходов часто называют сегментами от a до g, или Sa–Sg, как показано на рис. 2.1. Сами цифры показаны на рис. 2.2

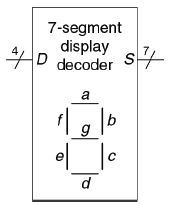
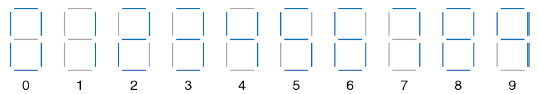
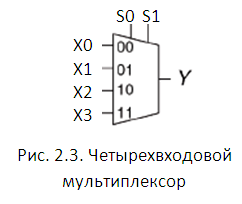
.

Рис.2.1. Дешифратор семисегментного индикатор

Литература [1], стр. 210-217

Рис.2.2. Цифры индикатора

1. **Четырехвходовой мультиплексор.**

Четырехвходовой мультиплексор (4:1) имеет четыре входа данных (X0, X1, X2, X3) и один выход (Y), как показано на рис. 2.3. Для выбора одного из четырех входов данных требуется двухразрядный управляющий сигнал (S0, S1). ***Реализуйте четырехразрядный мультиплексор.***

Вообще, 2N-входовой мультиплексор можно запрограммировать для выполнения любой N-входовой логической функции, используя 0 и 1 для соответствующих входов данных. Действительно, изменением входных данных мультиплексор может быть перепрограммирован для выполнения различных функций***. Реализуйте функции импликация и эквиваленция***

S0 S1

Литература: [1], стр. 222-227

1. **Дешифратор.**

В общем случае у дешифратора имеется N входов (S0, S1, SN-1) и 2N выходов (Y0,Y1, …, Y2N-1). Он выдает единицу строго на один из выходов в зависимости от набора входных значений. На Рис. 2.4 показан дешифратор 2:4. Когда S[1:0] =00, Y0 = 1. Когда S[1:0] = 01, Y1 = 1 и так далее. Выходы образуют прямой унитарный код (one-hot code), называемый так потому, что в любое время только один из выходов может принимать высокий уровень.

Дешифратор может комбинироваться с элементами ИЛИ для построения логических функций. При использовании дешифраторов для реализации логических функций, проще всего выразить функцию таблицей истинности или записать ее в дизъюнктивной нормальной форме. N-входовая функция, имеющая M единиц в таблице истинности, может быть построена с использованием N:2N дешифратора и M-входового элемента ИЛИ, подключенным ко всем минтермам, содержащим единицу в таблице истинности.

Реализуйте трехвходовой дешифратор и на нем функцию (00101100)

Литература [1], стр. 228-230

1. **Определитель простых чисел.**

Схема имеет четыре входа и два выхода. На входы A3:0 подается число от 0 до 15. Выход P должен быть равен ИСТИНЕ, если число на входе простое (0 и 1 не являются простыми, а 2, 3, 5 и так далее – являются). Выход D должен быть равен ИСТИНЕ, если число делится на 3. Запишите упрощенное логическое выражение для каждого из выходов и нарисуйте схему.

Литература [1], глава 2

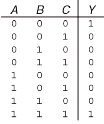
1. **Приоритетный шифратор.**

Приоритетный шифратор имеет 2N входов. Он формирует на N-разрядном выходе номер самого старшего входного бита, который принимает значение ИСТИНА. Он также формирует на выходе NONE значение ИСТИНА, если ни один из входов не принимает значение ИСТИНА. Спроектируйте восьмивходовой приоритетный шифратор с входом A7:0 и выходами Y2:0 и NONE. Например, если вход A принимает значение 00100100, то выход Y должен быть 101, а NONE – 0. Запишите упрощенное логическое выражение для каждого из выходов и нарисуйте схему.

Литература [1], глава 2

1. **Модифицированный приоритетный шифратор.**

Спроектируйте модифицированный приоритетный шифратор (см. задание 5), который имеет 8-разрядный вход A7:0, а также 3-разрядные выходы Y2:0 и Z2:0. На выходе Y формируется номер самого старшего входного бита, который принимает значение ИСТИНА. На выходе Z формируется номер второго по старшинству входного бита, который принимает значение ИСТИНА. Y принимает значение 0, если все биты входа – ЛОЖЬ. Z принимает значение 0, если только один бит входа – ИСТИНА. Запишите упрощенное логическое выражение для каждого из выходов и нарисуйте схему.

Литература [1], стр. 228-230

1. **Спроектируйте схему по таблице истинности,**

реализующую функцию, описанную на Рис. 2.4, используя:

a) Восьмивходовой мультиплексор (8:1)

b) Четырехвходовой мультиплексор (4:1) и один инвертор

c) Двухвходовой мультиплексор (2:1) и два любых других логических элемента

Литература [1], глава 2

Рис. 2.4

1. **Спроектируйте схему, которая показывает, сколько дней содержит заданный месяц.**

Месяц задается 4-разрядным входом A3:0. Например, значению 0001 на входе соответствует месяц январь, а значению 1100 – декабрь. Выходы схемы Y1:0 принимают значения: 11 – в месяце 31 день, 10 – в месяце 30 дней, 01- в месяце 29 или 28 дней (февраль), 00 – входная комбинация не верна. Напишите упрощенное выражение и нарисуйте схему, используя минимальное количество элементов.

Литература [1], глава 2

1. **6-ти входовой шифратор**

Шифратором называется устройство, предназначенное для преобразования прямого унарного кода (кода, у которого только один из входов может принимать значение ИСТИНА) в двоичную систему. Таблица истинности четырехвходового шифратора приведена на рис. 2.5. Спроектируйте 6-ти входовой шифратор X5:0 с тремя выходами Y2:0, если входовая комбинация неверна (например, 011000 или 000000), то шифратор выдает код 111.

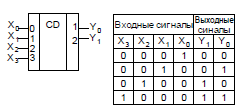


Рис. 2.5. 4-х входовой шифратор

Литература [1], глава 2

1. **Комбинационный двухразрядный сумматор.**

Комбинационный сумматор – это цифровое устройство, предназначенное для арифметического сложения чисел, представленных в виде двоичных кодов. Входы X0, X1 – первое слагаемое, Y0,Y1 – второе слагаемое, P0- входной признак переноса. Выходы Z0, Z1 –разряды суммы X+Y, P – перенос в старший разряд. Внимание!. Одноразрядный сумматор не использовать.

Литература [2], стр 93-107

1. **Компаратор.**

Цифровые компараторы предназначены для сравнения цифровых кодов. Количество входов определяется разрядностью чисел. На выходе обычно формируются сигналы A=B, A>B и A<B. На рис.2.6 изображена ИС и таблица истинности 4-х разрядного компаратора. Для восьмиразрядного кода берутся две схемы, для двенадцати – три и т.д.

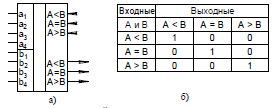


Рис. 2.6. 4-х входовый компаратор

Реализуйте 2-х входовый компаратор для беззнаковых чисел. И из двух 2-х входовых компараторов разработайте схему 4-х входового компаратора.

Литература [2], стр 93-107

1. **Преобразование в унарный код.**

M-битный унарный код числа k содержит k единиц в младших разрядах и M–k нулей во всех старших разрядах. Преобразователь бинарного кода в унарный имеет N входов и 2N –1 выходов. Он формирует (2N–1)-битный унарный код для числа, установленного на входе. Например, если на входе 101, то на выходе должно быть 0011111. Спроектируйте преобразователь трехбитного бинарного кода в семибитный унарный. Запишите логическое выражение для каждого из выходов и нарисуйте схему.

Литература [1], глава 2

**Литература**

1. Харрис Д.М., Харрис С.Л. Цифровая схемотехника и архитектура компьютера
2. Лаврентьев Б.Ф. Аналоговая и цифровая электроника